



KOREAN PATENT ABSTRACTS

(11)Publication number: **000061321 A**
(43)Date of publication of application: **16.10.2000**

(21)Application number: **990010278**
(22)Date of filing: **25.03.1999**

(71)Applicant: **HYUNDAI MICRO
ELECTRONICS CO., LTD.**
(72)Inventor: **EOM, DAE JIN
LEE, SANG DON**

(51)Int. Cl **H01L 21/336**

(54) METHOD FOR MANUFACTURING METAL OXIDE SEMICONDUCTOR TRANSISTOR

(57) Abstract:

PURPOSE: A method for manufacturing a metal oxide semiconductor(MOS) transistor is provided to re-oxidize a gate by using oxygen or vapor and nitrogen mixture gas while preventing titanium silicide from diffusing to polysilicon.

CONSTITUTION: A method for manufacturing a metal oxide semiconductor(MOS) transistor comprises a process for forming a MOS transistor by sequentially evaporating and patterning a silicide layer in order to decrease resistance of a gate and a diffusion blocking layer on a polysilicon gate. In the method, tungsten silicide is used as the diffusion blocking layer and the silicide layer for reducing the gate resistance is made from titanium silicide. After forming a gate electrode, the tungsten silicide, titanium silicide and side surface of the polysilicon gate are re-oxidized by using oxygen or vapor and nitrogen mixture gas.

COPYRIGHT 2001 KIPO

Legal Status

Date of request for an examination (19990325)

Notification date of refusal decision (20020625)

Final disposal of an application (rejection)

Date of final disposal of an application (20020625)

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁹ (11) 공개번호 특2000-0061321
H01L 21/336 (43) 공개일자 2000년10월16일

(21) 출원번호 10-1999-0010278
(22) 출원일자 1999년03월25일
(71) 출원인 현대반도체 주식회사 김영환
(72) 발명자 충청북도 청주시 흥덕구 향정동 1번지 이상돈
충청북도청주시흥덕구봉명동신라아파트5동102호
엄대진
(74) 대리인 충청북도청주시흥덕구수곡동788번지 박장원

심사청구 : 있음

(54) 모스 트랜지스터 제조방법

요약

본 발명은 모스 트랜지스터 제조방법에 관한 것으로, 종래 모스 트랜지스터 제조방법은 TIN을 사용하여 실리사이드가 다결정실리콘층으로 확산되는 것을 방지할 수 있으나, 종래와 같이 산소 또는 수증기와 질소의 혼합가스를 사용하여 게이트전극을 재산화하는 것이 불가능하여 게이트의 전면에 산화막을 증착하여야 하며, 게이트전극의 측면에 식각으로 발생한 손상을 복원시킬 수 없어 소자의 특성이 열화되는 문제점이 있었다. 이와 같은 문제점을 감안한 본 발명은 다결정실리콘 게이트의 상부에 확산방지막과 게이트 저항의 저하를 목적으로 하는 실리사이드를 순차적으로 증착하고 패터닝하여 모스 트랜지스터의 게이트전극을 형성하는 공정을 포함하는 모스 트랜지스터 제조방법에 있어서, 상기 확산방지막으로 텅스텐실리사이드를 사용하고, 게이트 저항의 저하를 목적으로 하는 실리사이드를 티타늄실리사이드로 형성함과 아울러 그 게이트 전극의 형성후에 산소 또는 수증기와 질소 혼합가스를 사용하여 상기 텅스텐실리사이드와 티타늄실리사이드 및 다결정실리콘 게이트의 측면을 재산화시킴으로써 다결정실리콘 게이트의 상부측에 게이트저항을 줄이기 위한 티타늄 실리사이드를 형성하며, 그 티타늄 실리사이드가 고온에서 다결정실리콘 게이트층으로 확산되는 것을 방지하는 확산방지층으로 텅스텐 실리사이드를 사용하여 게이트의 특성저하를 방지하는 효과가 있다.

도표도

도3b

영세서

도면의 간단한 설명

도1a 내지 도1d는 종래 모스 트랜지스터 제조방법의 일실시예를 보인 제조공정 수순단면도.
도2a 내지 도2d는 종래 모스 트랜지스터 제조방법의 다른 실시예를 보인 제조공정 수순단면도.
도3a 내지 도3d는 본 발명 모스 트랜지스터 제조공정 수순단면도.

도면의 주요 부분에 대한 부호의 설명

- | | |
|-----------------|-----------------|
| 1:기판 | 2:필드산화막 |
| 3:게이트산화막 | 4:다결정실리콘 게이트 |
| 5:텅스텐 실리사이드 게이트 | 6:티타늄 실리사이드 게이트 |
| 7:캡산화막 | 8:재산화막 |
| 9:할로방지영역 | 10:저농도 소스 및 드레인 |
| 11:측벽 | 12:고농도 소스 및 드레인 |

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 모스 트랜지스터 제조방법에 관한 것으로, 특히 다결정실리콘과 실리콘사이드게이트를 구비하는 모스 트랜지스터의 게이트를 형성한 후, 그 게이트의 측면 및 기판의 상부에 산화막을 형성하여 소자의 특성을 향상시키는데 적당하도록 한 모스 트랜지스터 제조방법에 관한 것이다.

도1a 내지 도1d는 종래 모스 트랜지스터 제조방법이 일 실시 제조공정 수순단면도로서, 이에 도시한 바와 같이 기판(1)의 상부에 필드산화막(2)을 증착하고, 그 필드산화막(2) 사이에 노출된 기판(1) 상에 게이트 산화막(3)을 형성하는 단계(도1a)와; 상기 게이트산화막(3)과 필드산화막(2)의 상부전면에 다결정실리콘과 실리콘사이드 및 산화막을 증착한 후, 사진식각공정을 통해 식각하여 순차적으로 적층된 다결정실리콘 게이트(4), 실리콘사이드 게이트(5) 및 캡산화막(6)을 형성하고, 상기 실리콘사이드 게이트(5)와 다결정실리콘 게이트(4)의 측면과 상기 게이트산화막(3)의 상부를 산화시켜 재산화막(7)을 형성한 후, 경사이온주입을 통해 상기 다결정실리콘 게이트(4)의 측면 기판하부에 할로방지영역(8)을 형성하는 단계(도1b)와; 상기 캡산화막(6)을 이온주입마스크로 사용하는 이온주입공정으로 상기 할로방지영역(8)의 상부측에 저농도 소스 및 드레인(9)을 형성하는 단계(도1c)와; 상기 캡산화막(6)의 측면과 상기 다결정실리콘 게이트(4)와 실리콘사이드 게이트(5)의 측면에 형성된 재산화막(7)의 측면에 측벽(10)을 형성하고, 불순물 이온주입공정을 통해 상기 측벽(10)의 측면 기판하부에 고농도 소스 및 드레인(11)을 형성하는 단계(도1d)로 구성된다.

이하, 상기와 같은 종래 모스 트랜지스터 제조방법을 좀 더 상세히 설명한다.

먼저, 도1a에 도시한 바와 같이 기판(1)의 상부일부에 필드산화막(2)을 형성하여 기판(1)의 일부를 노출 시킴으로써 소자형성영역인 액티브영역을 정의하고, 그 액티브영역의 상부에 게이트산화막(3)을 증착한다.

그 다음, 도1b에 도시한 바와 같이 상기 게이트산화막(3)과 필드산화막(2)의 상부전면에 다결정실리콘을 증착하고, 그 다결정실리콘의 상부에 티타늄실리콘사이드 또는 텅스텐실리콘사이드인 실리콘사이드를 증착하고, 이어서 그 증착된 실리콘사이드의 상부에 두꺼운 산화막을 증착한다.

그 다음, 사진식각공정을 통해 상기 증착된 산화막, 실리콘사이드, 다결정실리콘을 게이트 패터닝하여 캡산화막(6)에 의해 보호되며 다결정실리콘과 실리콘사이드가 적층된 구조의 게이트전극을 형성한다.

그 다음, 상기의 식각공정으로 형성된 다결정실리콘 게이트(4)와 실리콘사이드 게이트(5)의 측면부는 식각공정에 의해 손상되었으므로 이를 복원하기 위해 상기 다결정실리콘 게이트(4)와 실리콘사이드 게이트(5) 및 게이트산화막(3)의 상부를 재산화(REOXIDATION)시켜 재산화막(7)을 형성한다.

그 다음, 경사이온주입공정을 통해 상기 다결정실리콘 게이트(4)의 측면 기판(1) 하부에 상기 기판(1)의 도전형과 동일도전형의 불순물 이온주입을 통해 할로방지영역(8)을 형성한다. 이때 할로방지영역(8)은 경사이온주입에 의해 상기 게이트전극의 하부일부영역에도 형성된다.

그 다음, 도1c에 도시한 바와 같이 상기 재산화막(7)과 게이트산화막(3)을 이온주입버퍼로 사용하는 이온주입공정으로 상기 게이트전극의 측면 기판하부에 저농도의 불순물 이온을 이온주입하여 저농도 소스 및 드레인(9)을 형성한다.

그 다음, 도1d에 도시한 바와 같이 상기의 구조상부에 절연막을 증착하고, 그 절연막을 건식식각하여 상기 캡산화막(6)의 측면과 상기 다결정실리콘 게이트(4)와 실리콘사이드 게이트(5)의 측면에 위치하는 재산화막(7)의 측면에 측벽(10)을 형성한다.

이어서, 상기 측벽(10)과 캡산화막(6)을 이온주입마스크로 사용하는 이온주입공정으로 불순물 이온을 이온주입하여 고농도 소스 및 드레인을 형성한다.

이와 같은 모스 트랜지스터 제조방법은 실리콘사이드 게이트(5)로 텅스텐 실리콘사이드를 사용할경우에 그 게이트의 선폭이 감소함에 따라 게이트 저항이 급격히 증가하며, 티타늄 실리콘사이드를 사용할 경우 고온에서 하부측의 다결정실리콘 게이트(4)와 쉽게 반응하여 게이트산화막의 특성을 열화시키는 문제점이 있어 이를 보완하기 위해 아래의 다른 실시예를 사용하기도 한다.

도2a 내지 도2d는 종래 모스 트랜지스터 제조방법의 다른 실시예를 보인 제조공정 수순단면도로서, 이에 도시한 바와 같이 기판(1)의 일부영역에 필드산화막(2)을 형성하여 소자형성영역을 정의하고, 그 소자형성영역인 기판(1)의 상부에 게이트산화막(3)을 증착하는 단계(도2a)와; 상기 게이트산화막(3)과 필드산화막(2)의 상부전면에 다결정실리콘, TiN막, 금속, 절연막을 순차적으로 증착하고, 사진식각공정을 통해 상기 적층된 절연막, 금속, 배리어 금속, 다결정실리콘을 패터닝하여 다결정실리콘 게이트(4), TiN막(12), 금속 게이트(5), 캡산화막(6)이 적층된 구조의 게이트전극을 형성하고, 그 게이트전극 및 게이트산화막(3)의 상부전면에 절연막(13)을 증착한 후, 불순물 이온주입공정을 통해 할로방지영역(8)을 형성하는 단계(도2b)와; 상기 절연막(13)을 이온주입 버퍼로 사용하는 이온주입공정으로 불순물 이온을 이온주입하여 상기 게이트전극의 측면 기판하부에 저농도 소스 및 드레인(9)을 형성하는 단계(도2c)와; 상기 절연막(13)의 상부전면에 절연막을 증착하고, 건식식각하여 상기 게이트전극의 측면부에 측벽(10)을 형성하고, 그 측벽(10)을 이온주입마스크로 사용하는 이온주입공정으로 상기 측벽(10)의 측면 기판하부에 불순물 이온을 이온주입하여 고농도 소스 및 드레인(11)을 형성하는 단계(도2d)로 구성된다.

이하, 상기와 같은 종래 모스 트랜지스터 제조방법의 다른 실시예를 좀 더 상세히 설명한다.

먼저, 도2a에 도시한 바와 같이 기판(1)의 상부 일부분에 필드산화막(2)을 형성하여, 소자가 형성될 영역인 액티브 영역을 정의하고, 그 액티브 영역간을 전기적으로 분리시킨다.

그 다음, 상기 액티브 영역인 기판(1)의 상부에 게이트산화막(3)을 증착한다.

그 다음, 도2b에 도시한 바와 같이 상기 게이트산화막(3)과 필드산화막(2)의 상부전면에 다결정실리콘, TiN막, 금속 및 산화막을 순차적으로 증착하고, 그 산화막의 상부에 포토레지스트를 도포 및 패터를 형성



한다.

이때의 상기 금속은 티타늄 실리사이드(TiSix)를 사용한다.

그 다음, 포토레지스트 패턴을 식각마스크로 하는 식각공정으로 상기 적층된 산화막, 금속, 배리어 금속 및 다결정실리콘을 순차적으로 식각하여 기판(1) 측으로 부터 다결정실리콘 게이트(4), TiN막(12), 금속 게이트(5), 캡산화막(6)이 순차적으로 증착된 형태의 게이트전극을 형성한다.

그 다음, 상기 게이트전극의 측면 및 상부와 게이트산화막(3) 및 필드산화막(2)의 상부전면에 절연막(13)을 증착한다. 이와 같은 절연막(13)의 증착과정은 이미 TiN막(12)과 금속 게이트(5)가 형성되어 각각의 측면이 노출된 상태이기때문에 H_2O 와 N_2 가스만을 사용하는 리옥시데이션(REOXIDATION)공정을 사용할 수 없으며, H_2O 가스와 N_2 가스외에 H_2 가스를 사용해야 하며, 배리어금속인 텅스텐은 상기 H_2O 가스에 의한 산화반응과 H_2 가스에 의한 환원공정이 반복되어 산화막이 잘 성장되지 않게 되며, H_2 가스를 추가적으로 사용해야 함으로써, 가스라인의 추가설치 등의 장비개조가 필요하다.

그 다음, 상기 절연막(13)과 그 절연막(13)의 하부에 위치하는 게이트산화막(3)을 이온주입버퍼로 사용하는 경사이온주입공정으로 상기 게이트전극의 하부기판 및 그 게이트전극의 하부영역 일부에 할로방지영역(8)을 형성한다.

그 다음, 도2c에 도시한 바와 같이 다시 불순물 이온을 이온주입하여 상기 게이트전극의 측면 하부측에 형성된 할로방지영역(8)의 상부측에 저농도 소스 및 드레인(9)을 형성한다.

그 다음, 도2d에 도시한 바와 같이 상기 절연막(13)의 상부전면에 산화막 또는 질화막을 증착하고, 그 증착된 산화막 또는 질화막을 건식식각하여 상기 게이트전극의 측면측 절연막(13) 측면에 측벽(10)을 형성한다.

그 다음, 상기 측벽(10)을 이온주입 마스크로 사용하는 불순물 이온주입공정을 통해 고농도 소스 및 드레인(11)을 형성한다.

이와 같이 다결정실리콘 게이트(4)와 티타늄 실리사이드인 금속게이트(5)의 사이에 확산방지영역으로 작용하는 TiN막(12)을 형성하여 열공정에서도 그 TiN 막(12)의 원소가 다결정실리콘 게이트(4) 측으로 확산되는 것을 방지할 수 있게 된다.

본명이 이루고자하는 기술적 과제

그러나, 상기와 같은 종래 모스 트랜지스터 제조방법은 TiN을 사용하여 실리사이드가 다결정실리콘측으로 확산되는 것을 방지할 수 있으나, 종래와 같이 산소 또는 수증기와 질소의 혼합가스를 사용하여 게이트전극을 재산화하는 것이 불가능하여 게이트의 전면에 산화막을 증착하여야 하며, 게이트전극의 측면에 식각으로 발생한 손상을 복원시킬 수 없어 소자의 특성이 열화되는 문제점이 있었다.

이와 같은 문제점을 감안한 본 발명은 티타늄 실리사이드의 다결정실리콘으로의 확산을 방지하면서, 산소 또는 수증기와 질소의 혼합가스를 사용하여 게이트의 재산화가 가능한 모스 트랜지스터 제조방법을 제공함에 그 목적이 있다.

본명의 구성 및 작용

상기와 같은 목적은 다결정실리콘 게이트의 상부에 확산방지막과 게이트 저항의 저하를 목적으로 하는 실리사이드를 순차적으로 증착하고 패턴화하여 모스 트랜지스터의 게이트전극을 형성하는 공정을 포함하는 모스 트랜지스터 제조방법에 있어서, 상기 확산방지막으로 텅스텐실리사이드를 사용하고, 게이트 저항의 저하를 목적으로 하는 실리사이드를 티타늄실리사이드로 형성함과 아울러 그 게이트 전극의 형성후에 산소 또는 수증기와 질소 혼합가스를 사용하여 상기 텅스텐실리사이드와 티타늄실리사이드 및 다결정실리콘 게이트의 측면을 재산화시킴으로써 달성되는 것으로, 이와 같은 본 발명을 첨부한 도면을 참조하여 상세히 설명하면 다음과 같다.

도3a 내지 도3d는 본 발명 모스 트랜지스터의 제조공정 수순단면도로서, 이에 도시한 바와 같이 기판(1)의 일부영역에 필드산화막(2)을 형성하여 소자형성영역을 정의하고, 그 소자형성영역인 기판(1)의 상부에 게이트산화막(3)을 증착하는 단계(도3a)와; 상기 게이트산화막(3)과 필드산화막(2)의 상부전면에 다결정실리콘, 텅스텐실리사이드와 티타늄실리사이드 및 절연막을 순차적으로 증착하고, 사진식각공정을 통해 상기 적층된 절연막, 티타늄 실리사이드, 텅스텐 실리사이드, 다결정실리콘을 패턴화하여 다결정실리콘 게이트(4), 텅스텐 실리사이드 게이트(5), 티타늄 실리사이드 게이트(6), 캡산화막(7)이 적층된 구조의 게이트전극을 형성하고, 그 티타늄 실리사이드 게이트(6)와 텅스텐 실리사이드 게이트(5)와 다결정실리콘 게이트(4)의 측면과 게이트산화막(3)의 상부전면을 재산화시켜 재산화막(8)을 형성한 후, 불순물 이온주입공정을 통해 할로방지영역(9)을 형성하는 단계(도3b)와; 상기 재산화막(8)과 게이트산화막(3)을 이온주입 버퍼로 사용하는 이온주입공정으로 불순물 이온을 이온주입하여 상기 게이트전극의 측면 기판하부에 저농도 소스 및 드레인(10)을 형성하는 단계(도3c)와; 상기 재산화막(8)의 상부전면에 절연막을 증착하고, 건식식각하여 상기 게이트전극의 측면부에 측벽(11)을 형성하고, 그 측벽(11)을 이온주입마스크로 사용하는 이온주입공정으로 상기 측벽(11)의 측면 기판하부에 불순물 이온을 이온주입하여 고농도 소스 및 드레인(12)을 형성하는 단계(도3d)로 구성된다.

이하, 상기와 같이 구성된 본 발명 모스 트랜지스터 제조방법을 좀 더 상세히 설명한다.

먼저, 도3a에 도시한 바와 같이 기판(1)의 일부영역에 필드산화막(2)을 형성하여 소자형성영역을 정의하고, 그 소자형성영역인 기판(1)의 상부에 게이트산화막(3)을 증착한다.

그 다음, 도3b에 도시한 바와 같이 상기 게이트산화막(3)과 필드산화막(2)의 상부전면에 다결정실리콘, 텅스텐실리사이드와 티타늄실리사이드 및 절연막을 순차적으로 증착하고, 사진식각공정을 통해 상기 적층

된 절연막, 티타늄 실리사이드, 텅스텐 실리사이드, 다결정실리콘을 패터닝하여 다결정실리콘 게이트(4), 텅스텐 실리사이드 게이트(5), 티타늄 실리사이드 게이트(6), 캡산화막(7)이 적층된 구조의 게이트전극을 형성한다.

이때, 다결정실리콘 게이트(5)의 상부에 텅스텐 실리사이드 게이트(6)를 형성하는 이유는 그 텅스텐 실리사이드 게이트(6)의 상부에 위치하는 저항값이 낮은 티타늄 실리사이드 게이트(7)의 원소인 티타늄이 다결정실리콘 게이트(5)로 확산되는 것을 방지할 수 있게 되며, 티타늄 실리사이드를 사용하여 게이트저항 값을 낮출 수 있게 된다.

그 다음, 그 티타늄 실리사이드 게이트(6)와 텅스텐 실리사이드 게이트(5)와 다결정실리콘 게이트(4)의 측면과 게이트산화막(3)의 상부전면을 재산화시켜 재산화막(8)을 형성한다. 이때, 종래와 같이 TiN을 확산방지층으로 사용하는 경우에 산소 또는 수증기와 질소 혼합가스를 사용하여 재산화막(8)을 형성하는 것은 불가능하지만 본 발명에서와 같이 티타늄 실리사이드 게이트(6)의 확산을 방지하기 위한 배리어 금속을 텅스텐 실리사이드를 사용하면 산소 또는 수증기와 질소 혼합가스를 사용하여 재산화막(8)을 형성하는 것이 가능하며, 이와 같은 재산화막(8)을 형성함으로써, 상기 사진식각공정에 의해 각 게이트(4-6)의 측면부에 발생한 손상을 복원할 수 있게 된다.

그 다음, 경사이온주입법을 통해 불순물 이온을 주입하여 기판(1)에 할로방지영역(9)을 형성한다.

그 다음, 도3에 도시한 바와 같이 상기 재산화막(8)과 게이트산화막(3)을 이온주입 버퍼로 사용하는 이온주입공정으로 불순물 이온을 이온주입하여 상기 게이트전극의 측면 기판하부에 저농도 소스 및 드레인(10)을 형성한다.

그 다음, 도3에 도시한 바와 같이 상기 재산화막(8)의 상부전면에 절연막을 증착하고, 그 증착된 절연막을 건식식각하여 상기 게이트전극의 측면부에 측벽(11)을 형성하고, 그 측벽(11)을 이온주입마스크로 사용하는 이온주입공정으로 상기 측벽(11)의 측면 기판하부에 불순물 이온을 이온주입하여 고농도 소스 및 드레인(12)을 형성한다.

발명의 효과

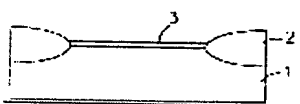
상기한 바와 같이 본 발명은 다결정실리콘 게이트의 상부측에 게이트저항을 줄이기 위한 티타늄 실리사이드를 형성하며, 그 티타늄 실리사이드가 고온에서 다결정실리콘 게이트측으로 확산되는 것을 방지하는 확산방지층으로 텅스텐 실리사이드를 사용하여 게이트의 특성저하를 방지하고 그 게이트전극을 제조하는 과정에서 발생하는 식각에 의한 손상을 산소 또는 수증기와 질소의 혼합가스를 사용하는 재산화공정으로 복원함으로써 MOS 트랜지스터의 특성을 향상시키는 효과가 있다.

(57) 청구의 범위

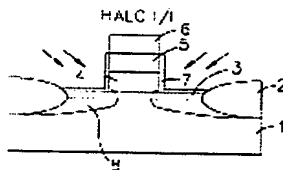
청구항 1. 다결정실리콘 게이트의 상부에 확산방지막과 게이트 저항의 저하를 목적으로 하는 실리사이드를 순차적으로 증착하고 패터닝하여 MOS 트랜지스터의 게이트전극을 형성하는 공정을 포함하는 MOS 트랜지스터 제조방법에 있어서, 상기 확산방지막으로 텅스텐실리사이드를 사용하고, 게이트 저항의 저하를 목적으로 하는 실리사이드를 티타늄실리사이드로 형성함과 아울러 그 게이트 전극의 형성후에 산소 또는 수증기와 질소 혼합가스를 사용하여 상기 텅스텐실리사이드와 티타늄실리사이드 및 다결정실리콘 게이트의 측면을 재산화시키는 것을 특징으로 하는 MOS 트랜지스터 제조방법.

도면

도면 a

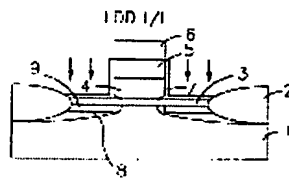


도면 b

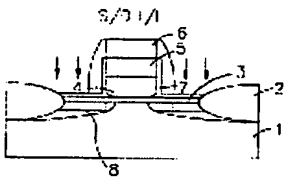




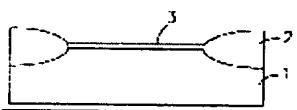
도면 10



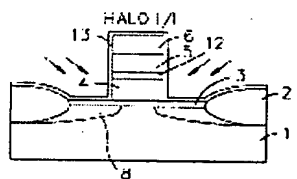
도면 1d



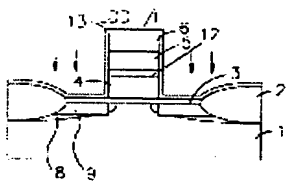
도면 2a



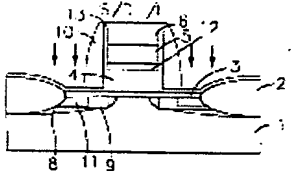
도면 2b



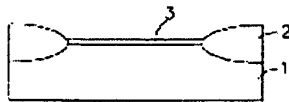
도면 2c



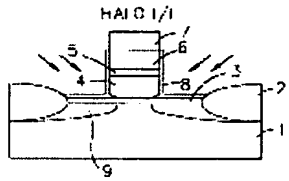
도면 2d



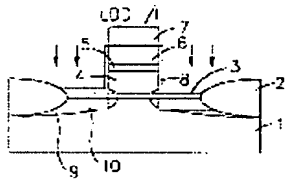
도면 3a



도면 3b



도면 3c



도면 3d

